

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-18148

⑬ Int.Cl.⁴

H 01 L 21/76
21/20

識別記号

庁内整理番号

M-7131-5F
7739-5F

⑭ 公開 昭和61年(1986)1月27日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭59-137169

⑰ 出 願 昭59(1984)7月4日

⑱ 発 明 者 野 尻 一 男 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑲ 発 明 者 津 国 和 之 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉑ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

1. 半導体基板の主面上に絶縁膜とその上に耐腐蝕性膜を形成する工程と、これら耐腐蝕性膜と絶縁膜とを所定パターンに形成し前記半導体基板の主面を部分的に露出させる工程と、この露出された主面上に新たな単結晶半導体層を前記耐腐蝕性膜上に張り出すように充分な厚さに形成する工程と、この単結晶半導体層をその表面が前記耐腐蝕性膜ないし絶縁膜の表面に一致するまで研磨して平坦化する工程とを備えることを特徴とする半導体装置の製造方法。

2. 平坦化研磨の後に耐腐蝕性膜を除去してなる特許請求の範囲第1項記載の半導体装置の製造方法。

3. シリコン半導体基板の主面上に絶縁膜として SiO_2 膜を形成し、耐腐蝕性膜として Si_3N_4 膜を形成し、露出された基板には単結晶シリコン層をエピタキシャル成長によって形成してなる特許請

求の範囲第1項又は第2項記載の半導体装置の製造方法。

発明の詳細な説明

(技術分野)

本発明はIC、LSI等の半導体装置の製造方法に関し、特に素子の高密度化を図ると共にその信頼性の向上を図り得る素子間分離構造の形成を可能とした製造方法に関するものである。

(背景技術)

一般にIC、LSI等の半導体装置においては、チップ内の回路を構成する多数の素子は夫々電気的に絶縁分離される必要がある。現在LSIの製造工程で一般に行なわれている素子間分離法はLOCOS(シリコン選択酸化)法と呼ばれるもので Si_3N_4 膜(シリコンナイトライド膜)をマスクとしてシリコン基板の表面を選択酸化し、この酸化膜を分離領域とするものである。

ところが、この方法では酸化時の熱応力からシリコン基板の欠陥発生を防止するため前記 Si_3N_4 膜の下側にパッド SiO_2 と呼ばれる熱酸化

膜を設けなければならず、これがため酸化時にバッド SiO_2 膜を通して酸素がシリコン基板に侵入し、横方向の酸化が進行して所謂パースピークが形成される現象が起こる。そして、このパースピークによって素子間分離領域の幅寸法が増大し、素子領域の有効面積が減少して集積度の向上が阻害される結果となっている。

このLOCOS法に対する素子間分離技術として、1982年発行のIEDM (International Electron Devices Meeting) Technical Digest 第241頁にシリコンの選択エピタキシャル技術を用いた方法で提案されている。この方法は、第1図に示すように、シリコン基板1の表面に形成した厚さ1~2 μm の熱酸化 SiO_2 膜2をフォトリソエッチングして素子領域となるべき部分を開口し、その上で開口されたシリコン基板1の表面に単結晶シリコン層3をエピタキシャル成長させる方法である。こうして形成せしめた単結晶シリコン層3を素子領域として、前記 SiO_2 膜2を素子間分離領域として使用する。

一層顕著になる。本発明者の検討によればエピタキシャル層の結晶性を向上するためにエピタキシャル成長速度を遅くすればするほどファセットは大きくなる傾向にあった。このように、ファセットの発生は結晶学的に避けられないものである。

また、前記選択エピタキシャル技術ではシリコン基板(ウェーハ)内のエピタキシャル層の厚さのばらつきが大きく、たとえば直径76mmのウェーハを用いた場合、ウェーハ内のエピタキシャル層の厚さの均一性は±5~10%である。したがって同図のようにウェーハ内の場所によってエピタキシャル層(単結晶シリコン層)3が SiO_2 2よりも上に突出し或いはこれよりも下になる部分が生じ、同一のウェーハ内での平坦度が著しく損なわれ、前述のように信頼性の低下を生じることになる。

〔発明の目的〕

本発明の目的は素子間分離領域の微細化と平坦性を向上し、これにより素子の集積度と信頼性を向上することのできる半導体装置の製造方法を提

この技術によれば、LOCOS法におけるようなパースピークの発生が全くないため、素子間分離領域の微細化を図り、素子の集積度を向上できる。しかしながらこの技術では、同図のようにエピタキシャル成長された単結晶シリコン層3の上部側面に SiO_2 膜2と所要の角度をなす傾斜面、所謂ファセット4が発生し易く、このファセット4が形成されると単結晶シリコン層3と SiO_2 膜2の境界部にV字型の溝が形成され平坦度が著しく損なわれる。そして、V字溝の存在により、以後の工程でゲード電極のパターニングの後もゲート材料がエッチングされずに溝中に残り、ゲート間がショートする等の信頼性を低下させる問題が生じることになる。因みに、シリコン基板として(100)面結晶を用いた場合前記ファセットは(311)或いは(111)面であり、それはこれらの面の成長速度が遅いためであると考えられている。また、系に HCL を用いる選択エピタキシャル成長技術においては HCL によるシリコンの異方的なエッチング効果も加わってファセットは

供することにある。

本発明の他の目的は平坦構造を半導体ウェーハの全面にわたって得ることのできる製造方法を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なもの概要を簡単に説明すれば、下記のとおりである。

すなわち、半導体基板の主面上に絶縁膜と耐腐蝕性膜を形成した後これをパターニングし、その開口部に新たに単結晶層を充分厚く形成しかつこれを前記絶縁膜表面と一致するまで研磨して平坦化することにより、素子間分離領域を微細化して素子の集積度を向上すると共に、素子領域と素子間分離領域の上面を一致させてその平坦化を達成することができ、これにより信頼性の向上を図ることでもある。

〔実施例〕

第2図は本発明をNチャネルMOSOLSIに適用した実施例を示し、特に素子間分離構造の製造プロセスを中心に示すものである。

まず、第2図(A)のようにP型のシリコン(半導体)基板11を熱酸化して主面に1~2 μ m厚のSiO₂膜12を形成し、その上にCVD (Chemical Vapor Deposition) 法によりSi₃N₄膜13を形成する。このSi₃N₄膜13は後述するように研磨時のストッパ層として作用するものであり、ストッパとしての機能を損わない範囲でできるだけ薄く形成し、例えば500~1000Å程度とする。

次に、同図(B)のようにフォトリソ膜14をパターンニングし、これをマスクとして前記Si₃N₄膜13とSiO₂膜12をパターンエッチングする。このとき、SiO₂膜12は垂直にエッチングされることが好ましく、このためRIE (反応性イオンエッチング) 法等の異方性の強いエッチング法を使用する。これにより、残された

SiO₂膜12aは素子間分離領域として形成されることになる。

次に、フォトリソ膜14を除去した後に同図(C)に示すようにシリコン基板11の融出している部分のみに選択的にP型の単結晶シリコン層15をエピタキシャル成長させる。この選択エピタキシャル成長は反応ガスとしてSiH₄、CH₄、H₂系を用い、ジボラン(B₂H₆)等の不純物ソースガスを使用する。そして、単結晶シリコン層15は前記SiO₂膜12aよりも充分に厚く、すなわちSiO₂膜12aの上に張り出すように形成する。これにより、ファセット(V型の溝)の発生を未然に防止することができる。

しかる上で、同図(D)のようにシリコン基板11の表面を研磨し、SiO₂膜12a上に張り出した単結晶シリコン層15を研磨する。この研磨は単結晶シリコン層15の表面がSiO₂膜12aの表面と一致するまで、正確にはSi₃N₄膜13aの表面と一致するまで行なう。研磨法には通常のシリコンウェーハの鏡面仕上げに用いられている

方法が利用でき、即ち回転される研磨布にウェーハを押しつければよい。研磨材としては通常KOHのようなアルカリ性溶液にSiO₂の微粉末を混ぜたスラリーを用いる。このとき、単結晶シリコン層15とSiO₂膜12aとの研磨速度の比は15:1程度でありSiO₂膜12aがシリコン層15の研磨に対するストッパとして作用できるが、SiO₂膜12a上に形成したSi₃N₄膜13aに対するシリコン層15の研磨比は50:1であり、SiO₂膜12a単独の場合よりも格段に高い研磨比が得られ、前述した表面の一致、つまり平坦化を極めて高精度に行なうことができる。

次に、同図(E)のようにシリコン層15の表面を軽く酸化して厚さ200~300Å程度の薄いSiO₂膜16を形成し、続いて熱りん酸等を用いてSi₃N₄膜13aを同図(F)のようにエッチング除去する。このとき、シリコン層15はSiO₂膜16によって被われているためエッチング液がシリコン層15の表面を冒すのを防止できる。そして、その後にSiO₂膜16を除去すれば、

同図(G)のようにSiO₂膜12aを素子間分離領域とし、シリコン層を素子領域とした構造が完成される。

なお、第3図は以上のようにして形成されたウェーハの素子領域に通常プロセスに従ってゲート絶縁膜17、ゲート電極18、ソース・ドレイン領域19からなるNチャネルMOSトランジスタを形成したものである。

この方法によれば、素子間分離領域としてのSiO₂膜12aにバースピークが発生することがないため、この分離領域の微細化を図ることができ、素子の高集積化に有効となる。また、素子領域としての単結晶シリコン層15は分離領域のSiO₂膜12aよりも充分に厚くエピタキシャル成長させかつこれを研磨しているため、ファセット(V溝)が形成されることはなく、かつウェーハ各部において若干のエピタキシャル成長の差が生じていても全てこれを平坦に形成することができ、後工程における種々の不具合を防止して信頼性の向上を達成できる。

〔効果〕

(1) 半導体基板の主面上に絶縁膜と耐磨耗性膜を形成した後これをパターニングし、その開口部に新たに単結晶層を充分厚く形成しかつこれを前記絶縁膜表面と一致するまで研磨して平坦化しているの、素子間分離領域の微細化は容易であり、素子の高集積化が達成できる。

(2) 同様に単結晶層を充分厚く形成してからこれを研磨しているの、ファセットを防止でき、かつウェーハ内各部における単結晶層の厚さのばらつきを解消でき、これによりウェーハ全体にわたって平坦化を実現し、信頼性の向上に有効となる。

(3) 絶縁膜の上に耐磨耗性膜を形成しているので、単結晶層の研磨に際して耐磨耗性膜がストップパとして作用することになり、これにより平坦化のための研磨作業を容易にすると共に、平坦精度を向上することができる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施

例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば、素子間分離領域としての SiO_2 膜は必ずしも熱酸化膜である必要はなくCVD法、プラズマCVD法、スパッタ法等で形成してもよい。また、これらの方法で形成した膜と熱酸化膜との重ね膜でもよい。更には SiO_2 以外の膜でもよい。

また、耐磨耗性膜は必ずしも Si_3N_4 膜である必要はなく、硬度の高い耐磨耗性の膜であれば TeO_2 のような膜でもよい。なお、前例では耐磨耗性膜を除去しているが、素子特性に悪影響を及ぼさない材料であればこれをそのまま残しておいてもよい。

〔利用分野〕

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるNチャネルMOSLSIに適用した場合について説明したが、それに限定されるものではなく、PチャネルMOSLSI、相補型MOSLSI、更には

バイポーラLSI等にも適用できる。

図面の簡単な説明

第1図は従来方法の不具合を説明するための断面図。

第2図(A)～(G)は本発明方法を説明するための工程断面図。

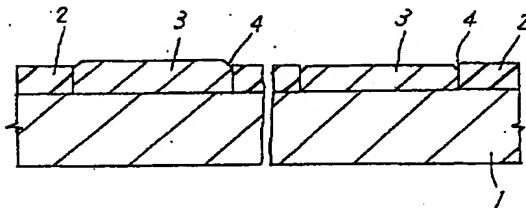
第3図はNチャネルMOSトランジスタに適用した状態を示す断面図である。

11…シリコン基板(半導体基板)、12、12a… SiO_2 膜(絶縁膜、素子間分離領域)、13、13a… Si_3N_4 膜(耐磨耗性膜)、15…単結晶シリコン層、16… SiO_2 膜、17…ゲート絶縁膜、18…ゲート電極、19…ソース・ドレイン領域。

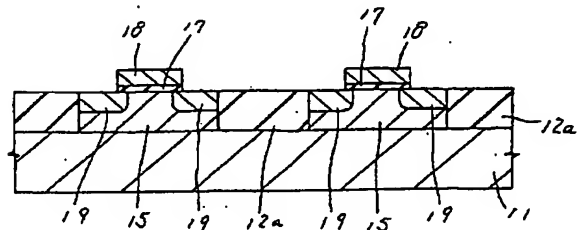
代理人 弁理士 高橋 明夫



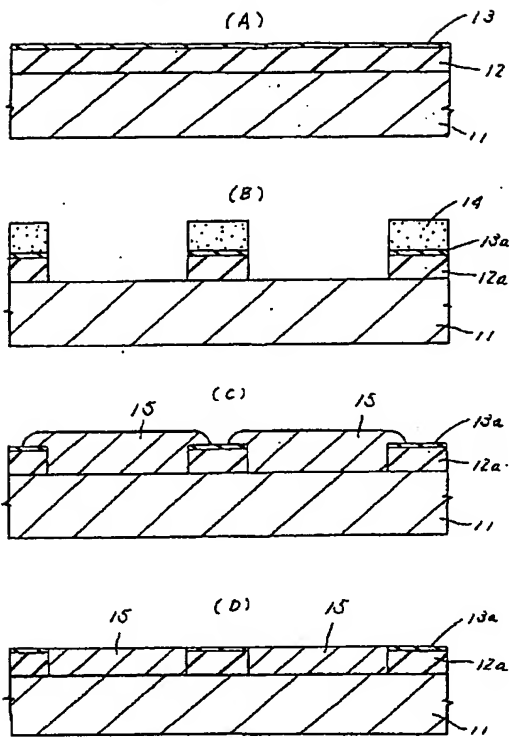
第 1 図



第 3 図



第 2 図



第 2 図

